

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-319595

(43)Date of publication of application : 10.11.1992

(51)Int.Cl.

G11C 7/00 G06K 19/07  
G11C 11/41

(21)Application number : 03-112231

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing :

18.04.1991

(72)Inventor : WATANABE MIKIO

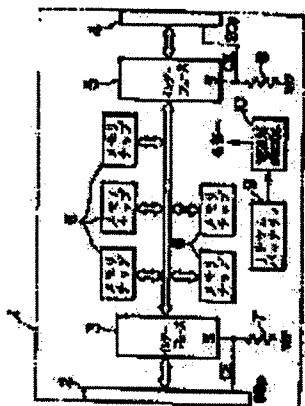
## (54) MEMORY CARTRIDGE

### (57)Abstract:

PURPOSE: To effectively use a memory cartridge by enabling one sheet of memory cartridge to load to the equipment of a direct bus system and the equipment of an I/O bus system without using an exchanging adapter in a transferring system.

CONSTITUTION: When a card enable signal CE applied to a selecting terminal S is 'H', corresponding interface 3 or 5 is active and prescribed operation for memory access is performed. In the meantime, when the selecting terminal S is 'L', the interface 3 or 5 is an inoperative state. By a signal applied to this selecting terminal, try state buffers provided

on respective lines in the interface 3 or 5 are controlled. The buffer is conductive when this signal is 'H' and high impedance when 'L'. When either one of a connector 2 or 4 is connected to the equipment, first, the card enable signal CE of 'H' is imparted from the equipment. Then, when no connector 2 or 4 is connected to the equipment, the terminal S is 'L'.



# 対応なし、英抄

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-319595

(43) 公開日 平成4年(1992)11月10日

| (51) IntCl. <sup>5</sup> | 識別記号  | 庁内整理番号  | F I           | 技術表示箇所 |
|--------------------------|-------|---------|---------------|--------|
| G 1 1 C 7/00             | 3 1 5 | 7323-5L |               |        |
| G 0 6 K 19/07            |       |         |               |        |
| G 1 1 C 11/41            |       |         |               |        |
|                          |       | 8623-5L | G 0 6 K 19/00 | N      |
|                          |       | 7323-5L | G 1 1 C 11/34 | 3 4 5  |
| 審査請求 未請求 請求項の数 2 (全 5 頁) |       |         |               |        |

(21) 出願番号 特願平3-112231

(22) 出願日 平成3年(1991)4月18日

(71) 出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 渡辺 幹夫

東京都港区西麻布2丁目26番30号 富士写

真フイルム株式会社内

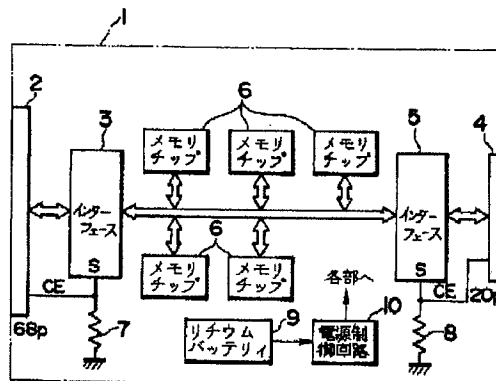
(74) 代理人 弁理士 牛久 健司

(54) 【発明の名称】 メモリ・カートリッジ

(57) 【要約】

【目的】 1枚のメモリ・カートリッジを直接バス方式の機器とI/Oバス方式の機器の両方に使用できるようにする。

【構成】 直接バス方式の機器との接続に適したコネクタ2がメモリ・カード1の一方の端部に、I/Oバス方式の機器との接続に適したコネクタ4が他方の端部にそれぞれ設けられている。直接バス方式の機器にメモリ・カード1が挿入されると、コネクタ2からの信号を制御するインタフェース3によってメモリ・チップ6がアクセスされる。またI/Oバス方式の機器にメモリ・カード1が挿入されると、コネクタ4からの信号を制御するインタフェース5によってメモリ・チップ6のアクセスが行われる。



## 【特許請求の範囲】

【請求項1】 方形の形状をもち、一方の端縁に、アドレスとデータを別個のバス上で転送する第1のデータ転送方式に適した第1のコネクタが設けられ、上記一方の端縁と反対側に位置する他方の端縁に、アドレスの転送とデータの転送とをバスを共用することで時分割で行う第2のデータ転送方式に適した第2のコネクタが設けられ、データを記憶するメモリと、上記第1のコネクタに接続され、上記第1のコネクタに入力するチップ・セレクト信号により動作し、上記メモリをアクセスして上記第1の転送方式にしたがうデータ転送を制御する第1の制御回路と、上記第2のコネクタに接続され、上記第2のコネクタに入力するチップ・セレクト信号により動作し、上記メモリをアクセスして上記第2の転送方式にしたがうデータ転送を制御する第2の制御回路と、を内蔵しているメモリ・カートリッジ。

【請求項2】 上記一方の端縁の形状の一部と、上記他方の端縁の形状の一部とが異なっている、請求項1に記載のメモリ・カートリッジ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体メモリを内蔵し、この半導体メモリにデータを記憶するメモリ・カートリッジに関する。メモリ・カートリッジはいわゆるメモリ・カードを含む。

【0002】

【従来の技術】 メモリ・カートリッジはコネクタを備え、デジタル電子スチル・カメラやいわゆるパーソナル・コンピュータと呼ばれる小型コンピュータ等の機器に装着されて使用され、メモリ・カートリッジ内のメモリとこれらの機器との間で、コネクタを通して画像データを含む各種データの転送が行われる。

【0003】 メモリ・カートリッジと機器との間のデータ転送方式には、いわゆる直接バス方式とI/Oバス方式とがあり、これらの両方式は互換性を持たない。

【0004】 直接バス方式は、アドレスとデータとをそれぞれ専用のバスを通して転送するものである。この直接バス方式にしたがうメモリ・カートリッジのコネクタには、アドレス・バス、データ・バスおよび制御バスにそれぞれ接続されるピンが設けられている。現在使用されているものは68個のコネクタ・ピンをもっている。直接バス方式はアドレスとデータとを同時に転送することができるので高速処理が可能という特長をもっているが、ピン数が多いので屋外で使用するには信頼性の点で問題がある。このため、直接バス方式は小型コンピュータ等で使用されるメモリ・カートリッジに適している。

【0005】 一方、I/Oバス方式は、アドレスとデータとを共用バスを用いて時分割で転送するものである。このI/Oバス方式にしたがうメモリ・カートリッジのコネクタにはアドレス/データ共用バスおよび制御バス

にそれぞれ接続されるコネクタ・ピンが設けられている。現在用いられているメモリ・カートリッジのピン数は20である。I/Oバス方式はピン数が少なくすむので屋外で使用されるメモリ・カートリッジに採用されることが多く、信頼性が高いという特長をもつ反面、転送速度が遅いという問題がある。I/Oバス方式はデジタル電子スチル・カメラで使用されるメモリ・カートリッジに適している。

【0006】

10 【発明が解決しようとする課題】 上述のように直接バス方式とI/Oバス方式の間には互換性がない。したがって、一方の方式に準拠したメモリ・カートリッジは他方の方式に準拠した機器では使用できない。

【0007】 直接バス方式とI/Oバス方式との間のデータ転送方式を交換するアダプタを使用して、上記問題を解決する方法があるが、常にアダプタを携帯しなければならないという不便が伴う。

20 【0008】 この発明は上記アダプタを使用しないで、直接バス方式とI/Oバス方式の両方の機器に装着して使用できるメモリ・カートリッジを提供するものである。

【0009】

【課題を解決するための手段】 この発明によるメモリ・カートリッジは、方形の形状をもち、一方の端縁に、アドレスとデータを別個のバス上で転送する第1のデータ転送方式（上記直接バス方式に対応）に適した第1のコネクタが設けられ、上記一方の端縁と反対側に位置する他方の端縁に、アドレスの転送とデータの転送とをバスを共用することで時分割で行う第2のデータ転送方式（上記I/Oバス方式に対応）に適した第2のコネクタが設けられている。

30 【0010】 そして、このメモリ・カートリッジには、データを記憶するメモリと、上記第1のコネクタに接続され、上記第1のコネクタに入力するチップ・セレクト信号により動作し、上記メモリをアクセスして上記第1の転送方式にしたがうデータ転送を制御する第1の制御回路と、上記第2のコネクタに接続され、上記第2のコネクタに入力するチップ・セレクト信号により動作し、上記メモリをアクセスして上記第2の転送方式にしたがうデータ転送を制御する第2の制御回路とが内蔵されている。

40 【0011】 このメモリ・カートリッジにおいて、上記一方の端縁の形状の一部と、上記他方の端縁の形状の一部とを異ならせるとよい。

【0012】

【作用】 上記第1のデータ転送方式にしたがう機器でこのメモリ・カートリッジが使用されるときには、メモリ・カートリッジは上記第1のコネクタを通して機器に接続される。機器から第1のコネクタを通してチップ・セレクト信号が与えられると上記第1の制御回路がアクテ

イブとなり、この第1の制御回路の制御の下に、メモリ・カートリッジ内のメモリと上記機器との間でデータの転送が行われる。

【0013】上記第2のデータ転送方式にしたがう機器でこのメモリ・カートリッジが使用されるときには、メモリ・カートリッジは上記第2のコネクタを通して機器に接続される。機器から第2のコネクタを通してチップ・セレクト信号が与えられると上記第2の制御回路がアクティブとなり、この第2の制御回路の制御の下に、メモリ・カートリッジ内のメモリと上記機器との間でデータの転送が行われる。

【0014】

【発明の効果】この発明によるメモリ・カートリッジは直接バス方式（上記第1の転送方式）の機器でもI/Oバス方式（上記第2の転送方式）の機器でも装着して使用することができるので、1枚のメモリ・カートリッジで両タイプの機器に使用することが可能となる。しかも、転送方式を変換するためのアダプタを必要としないので、アダプタを携帯する不便さを解消できる。

【0015】第1および第2のコネクタが設けられたメモリ・カートリッジの端縁の形状を異ならせておくことにより、転送方式の異なる機器への誤挿入を防止できる。

【0016】

【実施例】以下この発明をメモリ・カードに適用した実施例について詳述する。

【0017】図1はメモリ・カードの電気的構成を示すブロック図である。

【0018】メモリ・カード1の両端部には、直接バス方式に準拠した68ピンのコネクタ2、およびI/Oバス方式に準拠した20ピンのコネクタがそれぞれ設けられている。

【0019】コネクタ2は、24ビットのアドレス・バス、16ビットのデータ・バス、ならびに後述するカード・イネーブル信号CE、リード/ライト信号R/\*W（\*は反転を表す）、アドレス・ストローブ信号AS、データ・ストローブ信号等の各種制御信号のライン、およびアース・ラインを含む制御バスにそれぞれ接続されるコネクタ・ピンを備えている。

【0020】コネクタ4は、8ビットのアドレス/データ共用バス、ならびに後述するカード・イネーブル信号CE、リード/ライト信号R/\*W、バス・クロック信号BCK、アドレス/データ識別信号\*A/D等の各種制御信号のラインおよびアース・ラインを含む制御バスにそれぞれ接続されるコネクタ・ピンを備えている。

【0021】メモリ・カード1内には、コネクタ2に接続された直接バス方式のためのインタフェース3、コネクタ4に接続されたI/Oバス方式のためのインタフェース5、画像データを含む各種データを記憶するとともに両インタフェース3、5がアクセス可能な複数の半導

体メモリ・チップ6、リチウム・バッテリー9、ならびにリチウム・バッテリーの直流電源をインタフェース3、5およびメモリ・チップ6に供給する電源制御回路10が内蔵されている。両インタフェース3と5は、これらに共通に使用される内部バス（アドレス・バス、データ・バスおよび制御バスを含む）によって相互に接続されている。メモリ・チップ6はこの内部バスに接続されている。

【0022】コネクタ2内のカード・イネーブル信号CE用ピンはインタフェース3のセレクト端子Sに接続されているとともに、このセレクト端子Sにはプルダウン抵抗7が接続されている。同じように、コネクタ4内のカード・イネーブル信号CE用ピンはインタフェース5のセレクト端子Sに接続されているとともに、このセレクト端子Sにはプルダウン抵抗8が接続されている。

【0023】セレクト端子Sに与えられるカード・イネーブル信号CEがハイ（H）レベルになったときに対応するインタフェース3または5はアクティブとなってメモリ・アクセスのための所定の動作を行う。セレクト端子Sがロウ（L）レベルのときにはインタフェース3または5は不動作状態となる。セレクト端子Sに与えられる信号は、たとえばインタフェース3または5内のデータ・バス、アドレス・バス、制御バスを構成する各ラインに設けられたトライ・ステート・バッファを制御する。この信号がHレベルのときこのバッファは導通状態、Lレベルのときハイ・インピーダンス状態となる。

【0024】コネクタ2または4のいずれかが機器に接続されてはじめて、機器からHレベルのカード・イネーブル信号CEが与えられる。コネクタ2または4が機器に接続されていないときにはインタフェース3または5のセレクト端子SはLレベルに保持される。このように、機器から与えられるカード・イネーブル信号CEによってインタフェース3または5が制御されるので、これらのインタフェース3と5によるメモリ・アクセス動作の衝突が回避される。

【0025】図2は、コネクタ2が直接バス方式にしたがうデータ転送制御を行う機器に接続されたときにコネクタ2を通してインタフェース3に与えられる信号の一部を示すものである。

【0026】上述したようにアドレス・バスは24ビットで構成されており、A0～A23のアドレス・ラインを有している。データ・バスは16ビットで構成されておりD0～D15のデータ・ラインを有している。信号ASはアドレス・バスのストローブ信号である。信号DSはデータ・バスのストローブ信号である。信号R/\*WはHレベルのときデータの読取りを、Lレベルのときデータの書込みを示している。この図は書込み動作を示す。信号CEは上述したカード・イネーブル信号であり、機器がメモリ・カード1をアクセスしている間常時Hレベルに保たれる。

【0027】アドレスA0～A23と信号ASが入力することによりメモリ・チップ6のアドレスが指定され次に入力するデータD0～D15が信号DSによって確定され、メモリ・チップ6の指定されたアドレスの記憶場所へ書込まれる。

【0028】図3は、コネクタ4がI/Oバス方式にしたがうデータ転送制御を行う機器に接続されたときにコネクタ4を通してインタフェース5に与えられる信号の一部を示すものである。

【0029】アドレス/データ共用バスは、上述のように8ビットで構成されている。バス・クロック信号BCKはアドレス/データ共用バスを8ビットずつ転送されるアドレスA0～A7、A8～A15およびA16～A23ならびにデータD0～D7およびD8～D15の転送タイミングを表す。アドレス/データ識別信号\*A/DはLレベルのときアドレスの転送を、Hレベルのときデータの転送をそれぞれ指定する。信号R/\*WはHレベルのときデータの読取りを、Lレベルのときデータの書込みを示している。この図は書込み動作を示す。カード・イネーブル信号CEは機器によってメモリ・カード1がアクセスされている間常時Hレベルに保たれる。

【0030】信号\*A/DがLレベルになりアドレス転送が指定される。第1番目の信号BCKのタイミングで下位アドレスA0～A7が入力し、第2番目の信号BCKのタイミングで中位アドレスA8～A15が入力し、第3番目の信号BCKのタイミングで上位アドレスA16～A23が入力する。

【0031】続いて信号\*A/DがHレベルになりデータの転送が指定される。第4番目の信号BCKのタイミングで下位データD0～D7が入力し、第5番目の信号BCKのタイミングで上位データD8～D15が入力する。

【0032】このようにしてアドレスA0～A23とデータD0～D15が入力すると、インタフェース5はメモリ・チップ6のアドレスA0～A23によって指定される記憶場所に入力したデータD0～D15を書込むように制御する。

【0033】インタフェース3と5によるメモリ・チップ6のアクセス方式（データ書込み、読出し）を全く同じにすることにより、いずれのインタフェース3、5もメモリ・チップ6をアクセスすることができる。たとえばインタフェース3は入力するアドレス、データおよび各種制御信号を直接に用いてメモリ・チップ6をアクセス

する。インタフェース5は時分割で入力するアドレスおよびデータを一旦バッファに記憶しておき、すべてのビットがそろった時点でメモリ・チップ6をアクセスする。または、メモリ・チップ6を両方でアクセス可能なものとする。

【0034】図4および図5はメモリ・カード1の外觀をそれぞれ異なる方向からみた斜視図である。

【0035】図4においてメモリ・カード1のコネクタ2が実装されている端部の一方の角30においてはその下面の一部が欠除されている。また他方の角31は何も加工されていない。メモリ・カード1のコネクタ2側のこのような形状の端部は直接バス方式の機器のカード挿入部と嵌り合う。

【0036】図5においてメモリ・カード1のコネクタ4が実装されている端部の一方の角32においては一方の面にのみ凹部が形成されている。また他方の角33には凹型の溝が形成されている。メモリ・カード1のコネクタ4側のこのような形状の端部はI/Oバス方式の機器のカード挿入部と嵌り合う。

【0037】メモリ・カード1の端部の形状を上記のようにコネクタ2側とコネクタ4側とで異ならせることにより、直接バス方式に準拠したコネクタ2側の端部はI/Oバス方式の機器に挿入することはできず、またI/Oバス方式に準拠したコネクタ4側の端部は直接バス方式の機器には挿入することができない。このようにして、このメモリ・カードの誤挿入を防止することができる。

【図面の簡単な説明】

【図1】メモリ・カードの電氣的構成を示すブロック図である。

【図2】直接バス方式によるメモリ・アクセスを示すタイミング・チャートである。

【図3】I/Oバス方式によるメモリ・アクセスを示すタイミング・チャートである。

【図4】メモリ・カードの一方の端部を示す斜視図である。

【図5】メモリ・カードの他方の端部を示す斜視図である。

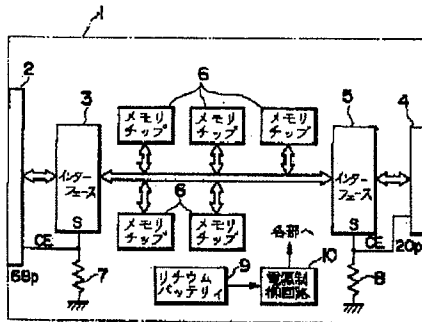
【符号の説明】

- 1 メモリ・カード
- 2, 4 コネクタ
- 3, 5 インタフェース
- 6 メモリ・チップ

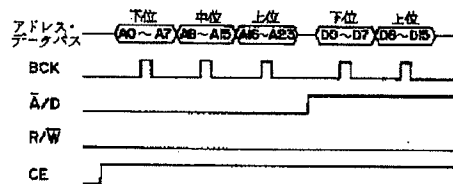
(5)

特開平4-319595

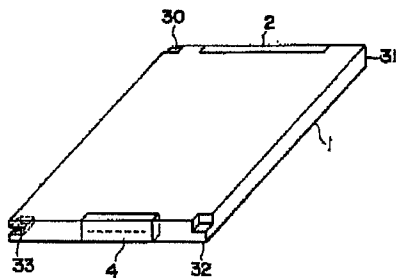
【図1】



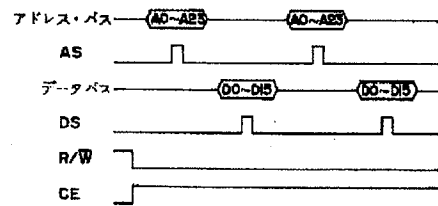
【図3】



【図5】



【図2】



【図4】

